

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-058729

(43) Date of publication of application : 04.03.1994

---

(51) Int.Cl. G01B 11/24

G01N 21/88

G06F 15/62

G06F 15/68

H05K 3/34

---

(21) Application number : 04-215004

(71) Applicant : FUJITSU LTD

(22) Date of filing : 12.08.1992

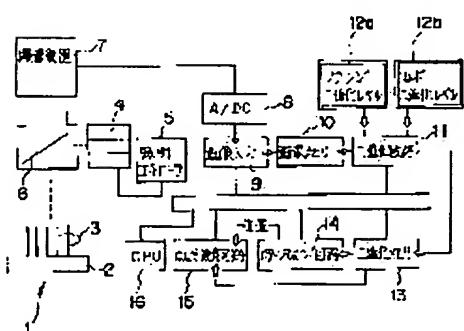
(72) Inventor : HIZUKA TETSUO  
SUDO YOSHINORI  
ANDO MORITOSHI

---

(54) INSPECTING APPARATUS FOR SOLDERED STATE

(57) Abstract:

PURPOSE: To obtain an inspecting apparatus of a soldered state which can always determine the quality of the soldered state accurately irrespective of the state of solder bonds of a flange part and a state of surface deterioration thereof, occurrence of a lustrous part of a solder surface, or further the quality of the solder being used or the effect of a temperature and others at the time of soldering.



CONSTITUTION: A base 2 having I/O pins 3 is illuminated by an illuminator 4 and multigradation image data are generated in an image pickup device 7. These data are binarized at a flange binarization level 12a and a solder binarization level 12b separately, and pattern matching 14 for detecting positions of the pins is executed on the basis of the binarized data at the former level, while specification 13 of a dark part

area corresponding to a solder part is executed on the basis of the binarization data at the latter. By using these two operations, inspection of a soldered state is executed in a solder inspecting circuit 15.

---

[Claim(s)]

BEST AVAILABLE COPY

[Claim 1] On an adherend with a flat substrate (2) etc., the mounting components (3b) which have a level top face and a perpendicular side face are carried. It is soldering condition test equipment in the soldering process which solders the corner between said adherends and components side faces (17). A lighting means to illuminate the predetermined field which contains said mounting component and the soldering section from the abbreviation perpendicular upper part to said adherend (4). An image pick-up means to photo the predetermined field containing said said mounting component and soldering section which were illuminated, and to generate multi-tone image data (7). A components positional information generation means to be based on the binary-ized image data obtained by making said multi-tone image data binary, and to generate the positional information of said mounting component on the screen concerned (14). An umbra field specification means to pinpoint the umbra field of the soldering section in the screen concerned by making said multi-tone image data binary (13). In a thing equipped with a soldering condition judging means (15) to judge the quality of a soldering condition by applying said pinpointed umbra field and said generated components positional information to a predetermined algorithm. Soldering condition test equipment characterized by setting up separately the binary-ized level for said components location specification (12a), and the binary-ized level for said umbra field specification (12b).

[Claim 2] (19) set automatically by the value which a setup of said binary-ized level created the histogram which shows luminance distribution from said multi-tone image data about the schedule field which corresponds all over the screen concerned in a soldering part, and was able to be shifted a little from the brightness of the peak value -- the soldering condition test equipment according to claim 1 characterized by things. [Claim 3] said -- lighting -- a means -- the quantity of light -- being concerned -- a screen -- a top -- it can set -- said -- an adherend -- a field -- a top -- specification -- a location -- brightness -- always -- being fixed -- \*\* -- becoming -- as -- automatic control -- carrying out -- having -- ( -- 20 -- ) -- things -- the description -- \*\* -- carrying out -- being according to claim 1 -- soldering -- a condition -- test equipment .

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the suitable soldering condition test equipment for inspection of the I/O pin soldering part of a printed circuit board etc.

[0002] In the printed circuit board applied to the latest high density assembly, what carried out arrangement immobilization is known by high density in the state of erection to the substrate side in many I/O pins. Immobilization of this I/O pin is performed by soldering between the square configuration pad of 1mm angle extent arranged on a substrate at high density, and the flanges of the I/O pin carried on it.

[0003] Although solder may appear and a defect adhesion part may occur by the quality of a condition, the quality of the positioning condition of solder, etc. if it is in the soldering process of this I/O pin, it is almost impossible to inspect this in circuit actuation, therefore the technique of inspecting this kind automatically using an image processing technique is demanded.

[0004]

[Description of the Prior Art] Conventionally, an example of the soldering condition test equipment used for inspection of the I/O pin soldering part of a printed circuit board is shown in drawing 9 .

[0005] The subject of examination to which 1 comes to carry out arrangement immobilization of many I/O pins 3 on a printed circuit board 2 at high density in the

state of erection in this drawing, The illuminator which is made to reflect 4 by the half mirror 6, and illuminates a subject of examination from right above, The lighting controller by which 5 adjusts the brightness of an illuminator 4, the photography equipment which 7 makes penetrate a half mirror 6, photos a subject of examination 1 from right above [ the ], and generates multi-tone analog image data, The A/D converter which 8 carries out A/D conversion of the multi-tone analog image data, and generates multi-tone digital image data, An image memory for an image input circuit for 9 to input multi-tone digital image data and 10 to memorize digital image data with multi-tone, The binary-ized circuit where 11 makes binary said multi-tone digital image data on the basis of the predetermined binary-ized level 12, Binary-ized memory for 13 to memorize binary-ized image data, the pattern-matching circuit which generates the information which 14 uses a predetermined dictionary pattern and shows the location of the I/O pin in a screen with pattern matching, The solder inspection circuit which judges the quality of a soldering condition when 15 applies the umbra field pinpointed by said binary-ized processing, and said generated positional information of an I/O pin to a predetermined algorithm, 16 is CPU which carries out generalization control of the above image input process, binary-ized processing, pattern-matching processing, and solder inspection processing.

[0006] The relation of the soldering condition and binary-ized image of the I/O pin 3 on a printed circuit board 2 is shown in drawing 10 . As shown in this drawing (a), on the printed circuit board 2, arrangement immobilization of many I/O pins 3 is carried out in the state of erection at high density. As shown in this drawing (b), while acute section 3a is formed at the tip, as for the I/O pin 3, disk-like flange 3b is formed in the end face. On the other hand, on the printed circuit board 2, much square-like pad 2a with minute 1mm angle extent of abbreviation is arranged at high density. And as the I/O pin 3 touches flange 3b on this pad 2a, it is positioned in the state of erection, and it is being fixed by soldering the corner of the perpendicular circumferential side face of the I/O pin 3, and the perpendicular pad side on a substrate 2 with solder 17. Since the front face of solder 17 the top face of pad 2a and whose top face of flange 3b are the soldering sections to a thing with the large amount of reflected lights has the small amount of reflected lights when such an I/O pin 3 and its flange 3b circumference are illuminated from right above, If the multi-tone image data which photoed this from right above and was obtained is made binary on suitable binary-ized level, as shown in this drawing (c), the binary-ized image data which solder appears and has a ring-like umbra corresponding to a condition can be obtained. Therefore, the quality of a soldering condition can be inspected by reading the ring-like pattern used as criteria from a dictionary, performing pattern matching of this and binary-ized image data, pinpointing the pin location in a screen, and evaluating the configuration of said umbra field etc. according to an after that predetermined algorithm.

[0007] Here, various things can be considered as a checking algorithm. As what is used conventionally, supposing the field equivalent to a soldering part, it asks for the rate of an umbra and a bright section in the interior, and the quality of a soldering condition is judged based on whether this is settled in a predetermined value. On the other hand, these people have applied for the new checking algorithm by the reference number 9109102 with attachment on September 18, Heisei 3. With this algorithm, the quality of a soldering condition is judged by measuring how many die length for an intersection of this and a ring-like umbra (namely, ring width of face of that part) on radiation to the ring-like umbra in a screen supposing that length measurement line. According to this new algorithm, compared with the conventional approach, inspection time amount can be sharply shortened by reduction of the amount of operations.

[0008]

[Problem(s) to be Solved by the Invention] The trouble in conventional soldering condition test equipment is explained referring to drawing 11 and drawing 12. As mentioned above, since lighting to the printed circuit board which is a subject of examination is performed from right above [ the ], in the usual case, the front face of the solder 17 with which the front face of flange 3b and the front face of pad 2a inclined brightly (level L2) becomes dark (level L1). Therefore, if the multi-tone image data obtained by doing in this way is made binary on the fixed binary-ized level (LTH) shown in drawing 11, binary-ized image data as shown in drawing 12 (a) can be obtained, and according to this binary-ized image data, solder inspection using pattern matching and a predetermined algorithm with a ring-like dictionary pattern can be conducted normally.

[0009] However, if the flange surface degradation condition B carried out produces that the solder riser condition A that solder has appeared even in the top face of flange 3b in a soldering process, and the front face of flange 3b rust etc. as shown in drawing 11. When the brightness of the part falls even to LA (or LB) and this is made binary on the above-mentioned fixed binary-ized level (LTH) corresponding to this, as shown in drawing 12 (b) On binary-ized image data, a ring-like umbra with very wide width of face arises, and pattern matching using the above-mentioned ring-like dictionary pattern cannot be performed normally (in order that the profile of the inner circumference edge of a ring may not come out correctly). As a result, the situation referred to as being unable to pinpoint the location of the I/O pin 3 in a screen arises.

[0010] Moreover, if the gloss section C arises on the front face of solder 17 as shown in drawing 11 When the brightness of the part rises locally even to LC and this is made binary on the above-mentioned fixed binary-ized level (LTH) corresponding to this, as shown in drawing 12 (c) On binary-ized image data, the ring-like umbra which the part cut and lacked arises, and a possibility that it may be incorrect-judged as a solder defect in the case of the solder inspection by the predetermined algorithm arises.

[0011] Furthermore, surface gloss changes under the effect of the quality of the material of the solder which uses the front face of solder, the temperature at the time of soldering, etc., and brightness level changes with lots of an object substrate. The place which it is made in order that this invention may solve an above-mentioned trouble, and makes into that purpose is irrespective of the effect of generating of the gloss section C on the solder riser condition A of flange 3b mentioned above, the surface degradation condition B, or the front face of solder mentioned above, the quality of the material of the solder used further, the temperature at the time of soldering, etc. to offer the soldering condition test equipment which can always judge the quality of a soldering condition correctly.

[0012]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, in invention of claim 1 of this application on an adherend with a flat substrate etc. It is soldering condition test equipment in the soldering process which carries the mounting components which have a level top face and a perpendicular side face, and solders the corner between said adherends and components side faces. A lighting means to illuminate the predetermined field which contains said mounting component and the soldering section from the abbreviation perpendicular upper part to said adherend. An image pick-up means to photo the predetermined field containing said said mounting component and soldering section which were illuminated, and to generate multi-tone image data. A components positional information generation means to be based on the binary-ized image data obtained by making said multi-tone image data binary, and to

generate the positional information of said mounting component on the screen concerned, An umbra field specification means to pinpoint the umbra field of the soldering section in the screen concerned by making said multi-tone image data binary, In a thing equipped with a soldering condition judging means to judge the quality of a soldering condition by applying said pinpointed umbra field and said generated components positional information to a predetermined algorithm It is characterized by setting up separately the binary-ized level for said components location specification, and the binary-ized level for said umbra field specification.

[0013] Moreover, in invention of claim 2 of this application, in order to attain the above-mentioned purpose, in claim 1, it is characterized by a setup of said binary-ized level being set automatically by the value which created the histogram which shows luminance distribution from said multi-tone image data, and was able to be shifted a little from the brightness of that peak value about the schedule field which corresponds all over the screen concerned in a soldering part.

[0014] Furthermore, in order that invention of claim 3 of this application may attain the above-mentioned purpose, it sets to claim 1 and the quantity of light of said lighting means is characterized by carrying out automatic control so that the brightness of the specific location on said adherend field on the screen concerned may become always fixed.

[0015]

[Function] According to invention of claim 1, the quality of a soldering condition can be correctly judged in spite of generating of the gloss section C on the solder riser condition A of flange 3b mentioned above, the surface degradation condition B, or the front face of solder mentioned above from setting up separately the binary-ized level for said components location specification, and the binary-ized level for said umbra field specification.

[0016] According to invention of claim 2, in addition to an operation of claim 1, the quality of a soldering condition can be correctly judged by setting the always optimal binary-ized level automatically irrespective of the effect of the quality of the material of the solder to be used, the temperature at the time of soldering, etc.

[0017] according to invention of claim 3 -- an operation of claim 1 -- in addition, the front face to be examined accompanying the effect of the quality of the material of the solder to be used, the temperature at the time of soldering, etc. -- the quality of a soldering condition can be correctly judged by compensating change of description by adjustment of the amount of illumination light.

[0018]

[Example] The 1st example of this invention is explained with reference to drawing 1 - drawing 3 . The hardware configuration of the soldering condition test equipment concerning the 1st example is shown in drawing 1 . In addition, in this drawing, a same sign is attached about the same configuration section as the conventional example shown in said drawing 9 , and explanation is omitted.

[0019] The difference with the conventional example shown in this example and drawing 9 is in the point that two kinds of binary-ized level which consists of flange binary-ized level (LTH1) and solder binary-ized level (LTH2) is prepared as binary-ized level at the time of making binary the multi-tone digital image data memorized in the image memory 10 in the binary-ized circuit 11.

[0020] The relation of such binary-ized level LTH1 and LTH2 and brightness of each part is shown in drawing 2 . As shown in this drawing, the value of the flange binary-ized level LTH1 is set up in the middle of the usual solder surface level L1 and the solder surface level LA which appeared in flange 3b.

[0021] Therefore, if the above-mentioned multi-tone digital image data is binary-ized processed using this flange binary-ized level LTH1, as shown in the obtained binary-ized image at drawing 3 (a), the profile of the periphery section will correspond to the appearance of flange 3b of the I/O pin 3, and the ring-like umbra corresponding to the periphery edge of the solder section field 17 in the profile of that periphery edge will emerge.

[0022] Therefore, according to the binary-ized image obtained using this flange binary-ized level LTH1, with pattern matching using the ring-like pattern (that bore is in agreement with the outer diameter of flange 3b) read from dictionary memory, the location of the I/O pin 3 in a screen can be pinpointed correctly, and, thereby, a solder inspection zone can be correctly limited to the perimeter of an I/O pin.

[0023] On the other hand, as shown in drawing 2, the value of the solder binary-ized level LTH2 is set up in the middle of the usual flange surface level L2 and the level LC corresponding to the gloss section. Therefore, if the above-mentioned multi-tone digital image data is binary-ized processed using this solder binary-ized level, as shown in the obtained binary-ized image at drawing 3 (b), the circular umbra in which the end chip corresponding to the gloss section is not contained will emerge.

[0024] Therefore, in the circular umbra field (drawing 3 b) of the binary-ized image obtained using this solder binary-ized level LTH2 If the existence and the amount of solder are inspected with a predetermined algorithm about the flange boundary region pinpointed from said binary-ized image for pattern matching (3 Fig. a) The quality of a soldering condition can always be correctly judged in spite of generating of the gloss section C on the solder riser condition A of flange 3b mentioned above, the surface degradation condition B, or the front face of solder mentioned above.

[0025] Next, the 2nd example of this invention is explained, referring to drawing 4 - drawing 8. The hardware configuration of the soldering condition test equipment concerning the 2nd example is shown in drawing 4. In addition, in this drawing, a same sign is attached about the same configuration section as the 1st example shown in said drawing 1, and explanation is omitted.

[0026] The difference between this 2nd example and the 1st above-mentioned example is in the point that flange binary-ized level 12a and solder binary-ized level 12b are set automatically by operation of the binary-ized level judging circuit 19, and the point that the brightness of a subject of examination 1 becomes always fixed according to an operation of the lighting level judging circuit 20.

[0027] An operation of the binary-ized level judging circuit 19 is explained referring to drawing 5 - drawing 7. In drawing 5, image logging circuit 19a starts the image field 24 of suitable magnitude out of the multi-tone digital image data memorized in the image memory 10. Subsequently, in field limited histogram creation circuit 19b, as shown in drawing 7 based on the field limited information from field limited dictionary 19c, on both sides of the profile of a flange periphery edge, the ring-like limited fields 22 and 23 are set to a that inner circumference and periphery side, respectively, as this field is shown in drawing 6, a histogram is created and the created histogram is memorized by field limited histogram memory 19e. Subsequently, in \*\*\*\* peak detector 19e, based on the histogram memorized by memory 19e, two peak value P1 and P2 shown in drawing 6 is detected, and such peak value is sent out to 19f of binary-ized level calculation circuits. Flange binary-ized level 12a and solder binary-ized level 12b are computed by [ as it shifts a little from the acquired peak value P1 and P2 ], and this is sent out to the binary-ized circuit 11 in 19f of binary-ized level calculation circuits.

[0028] On the other hand, as shown in drawing 8, the pad 25 for a lighting level judging is newly arranged at the corner of the pudding used as a subject of

examination, and a substrate 2, and the brightness of this pad 25 part is always detected through the value of the multi-tone digital image data memorized in the image memory 10. And the brightness of an illuminator 4 is controlled by the lighting level judging circuit 20 through the lighting controller 5 so that the brightness of this detected pad 25 for a judgment becomes always fixed.

[0029] The quality of a soldering condition can be correctly judged by setting the always optimal binary-ized level automatically, compensating the front planar change to be examined accompanying the effect of the quality of the material of the solder to be used, the temperature at the time of soldering, etc. by adjustment of the amount of illumination light according to the above example [ 2nd ].

[0030] In addition, as for this invention, it is needless to say that it is widely applicable to the soldering process which carries the mounting components which have a level top face and a perpendicular side face, and solders the corner between said adherends and components side faces on an adherend with a flat substrate etc., without being restricted to the above example.

[0031]

[Effect of the Invention] By the above explanation, according to invention of claim 1 of this application, the quality of a soldering condition can be correctly judged in spite of generating of the gloss section C on the solder riser condition A of flange 3b mentioned above, the surface degradation condition B, or the front face of solder mentioned above from setting up separately the binary-ized level for components location specification, and the binary-ized level for umbra field specification so that clearly.

[0032] According to invention of claim 2, in addition to the effectiveness of claim 1, the quality of a soldering condition can be correctly judged by setting the always optimal binary-ized level automatically irrespective of the effect of the quality of the material of the solder to be used, the temperature at the time of soldering, etc.

[0033] according to invention of claim 3 -- the effectiveness of claim 1 -- in addition, the front face to be examined accompanying the effect of the quality of the material of the solder to be used, the temperature at the time of soldering, etc. -- the quality of a soldering condition can be correctly judged by compensating change of description by adjustment of the amount of illumination light.

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the hardware configuration of the 1st example of this invention.

[Drawing 2] It is the explanatory view showing the relation between the shape of front planarity of each part to be examined, and brightness.

[Drawing 3] It is drawing showing the binary-ized image for pattern matching, and a solder checking binary-ized image.

[Drawing 4] It is the block diagram showing the hardware configuration of the 2nd example of this invention.

[Drawing 5] It is the explanatory view showing actuation of a binary-ized level judging circuit.

[Drawing 6] It is drawing showing the contents of the histogram for a binary-ized level judging.

[Drawing 7] It is drawing showing the limited field for histogram creation obtained from a field limited dictionary.

[Drawing 8] It is drawing showing the pad for a lighting level judging prepared on the substrate.

[Drawing 9] It is drawing showing the hardware configuration of equipment

conventionally.

[Drawing 10] It is drawing showing the relation between a substrate and an I/O focus, and the relation between the quality of a soldering condition, and a binary-ized image.

[Drawing 11] It is the explanatory view showing the relation between the shape of front planarity of each part of a subject of examination, and brightness from a viewpoint of the trouble of the conventional technique.

[Drawing 12] When normal, it is the explanatory view showing the binary-ized image in the case of being glossy in the case of a solder riser, and the solder section, respectively.

[Description of Notations]

1 .. Subject of examination

2 .. Printed circuit board

3 .. I/O pin

4 .. Illuminator

7 .. Image pick-up equipment

10 .. Image memory

11 .. Binary-ized circuit

12a .. Flange binary-ized level

12b .. Solder binary-ized level

13 .. Binary-ized memory

14 .. Pattern-matching circuit

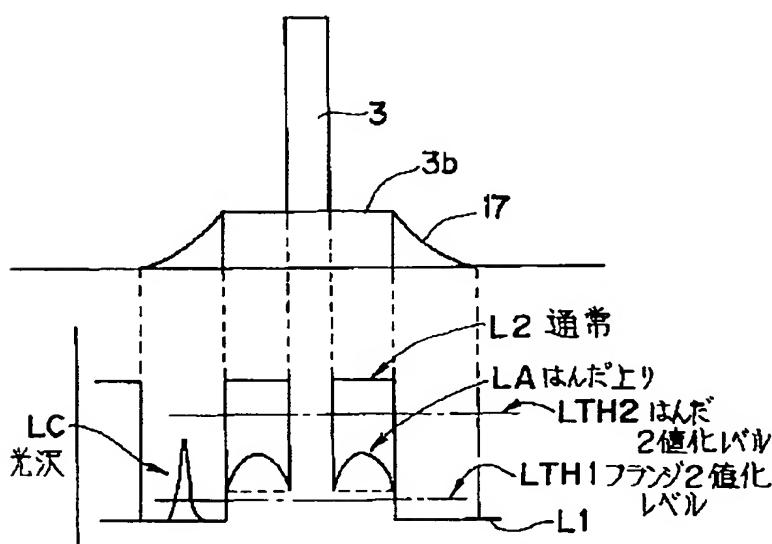
15 .. Solder inspection circuit

19 .. Binary-ized level judging circuit

20 .. Lighting level judging circuit

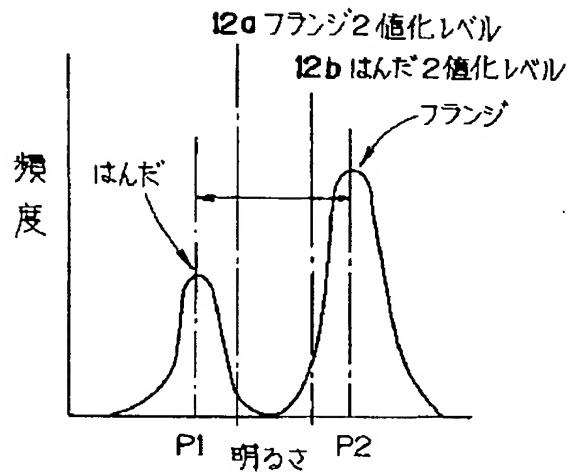
[Drawing 2]

検査対象の各部の表面性状と明るさとの関係を示す説明図



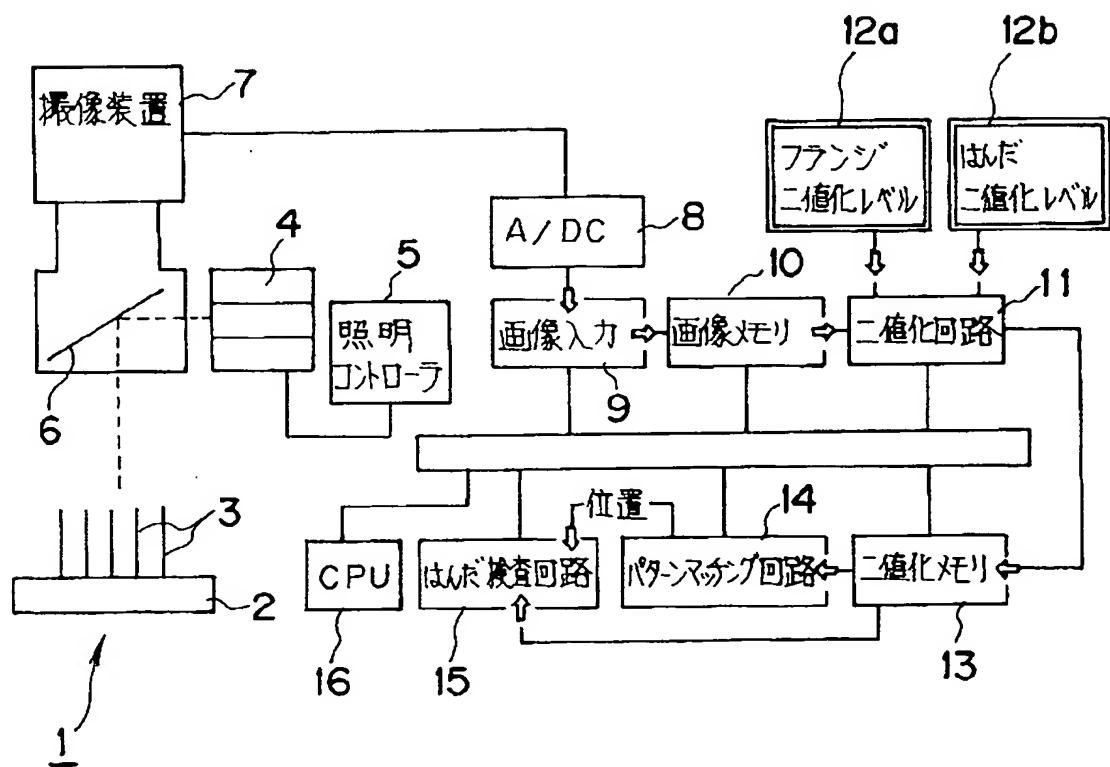
[Drawing 6]

## 2値化レベル判定用ヒストグラムの内容を示す図



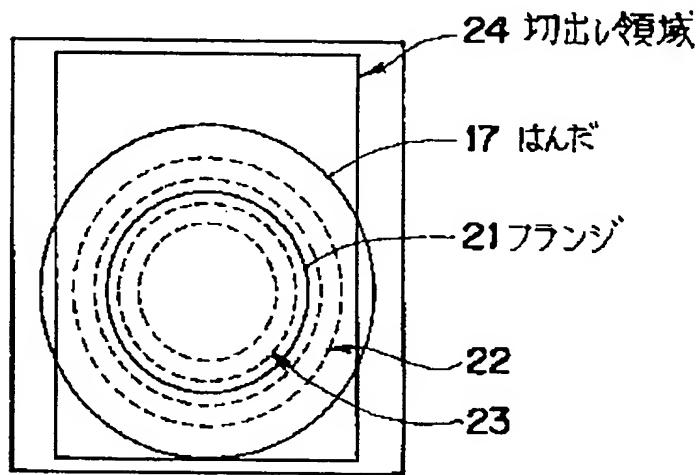
[Drawing 1]

### 本発明の第1実施例のハードウェア構成を示すブロック図



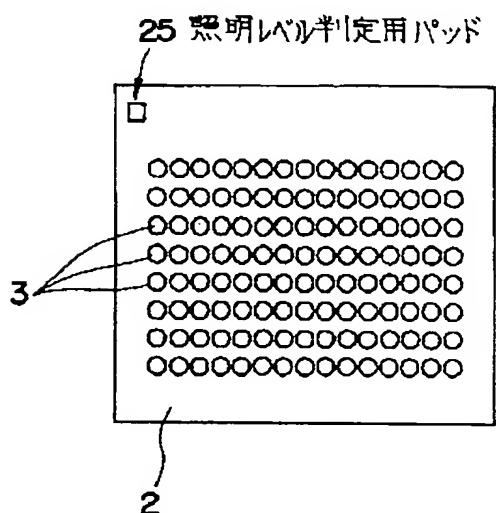
[Drawing 7]

領域限定許書から得られるヒストグラム 作成用限定領域を示す図



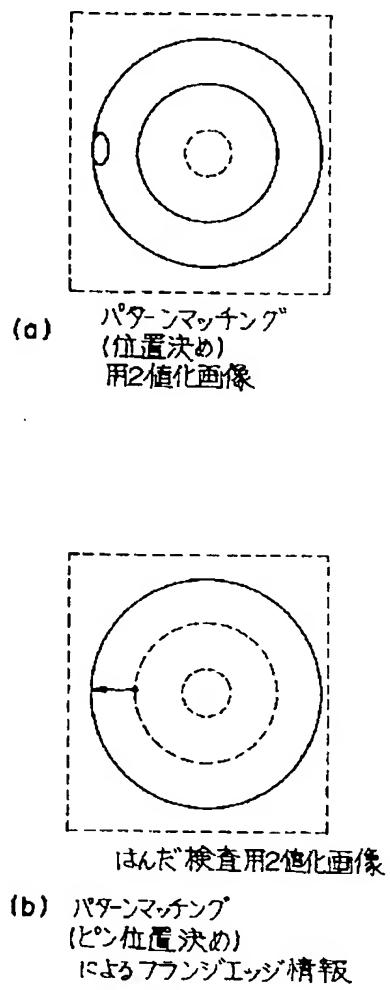
[Drawing 8]

基板上に設けられた照明レベル半固定用パッドを示す図



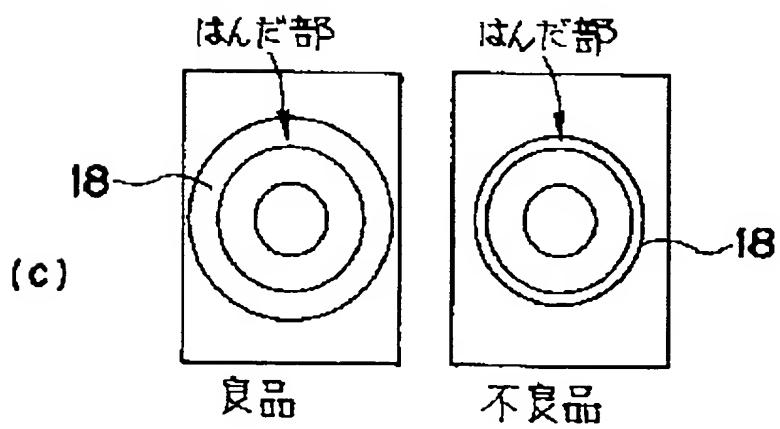
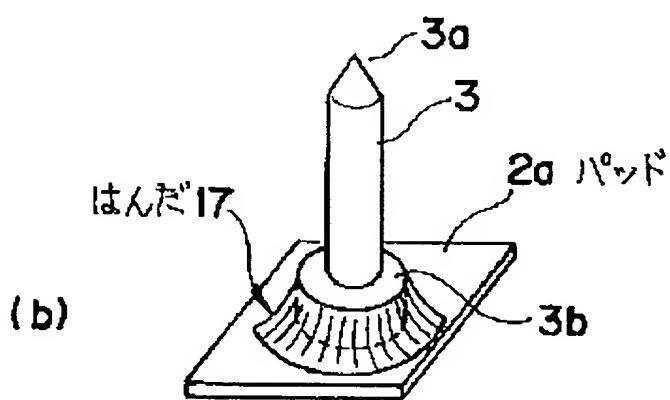
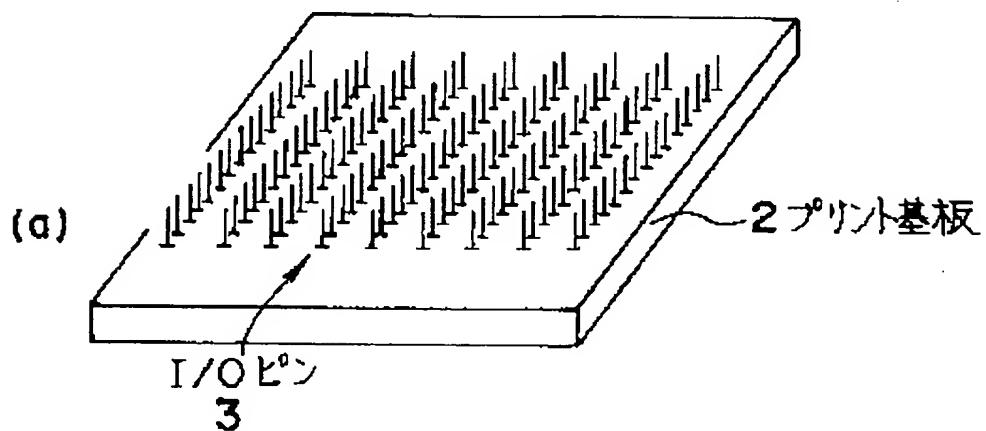
[Drawing 3]

パターンマッチング用2値化画像と半径検査用2値化画像を示す図



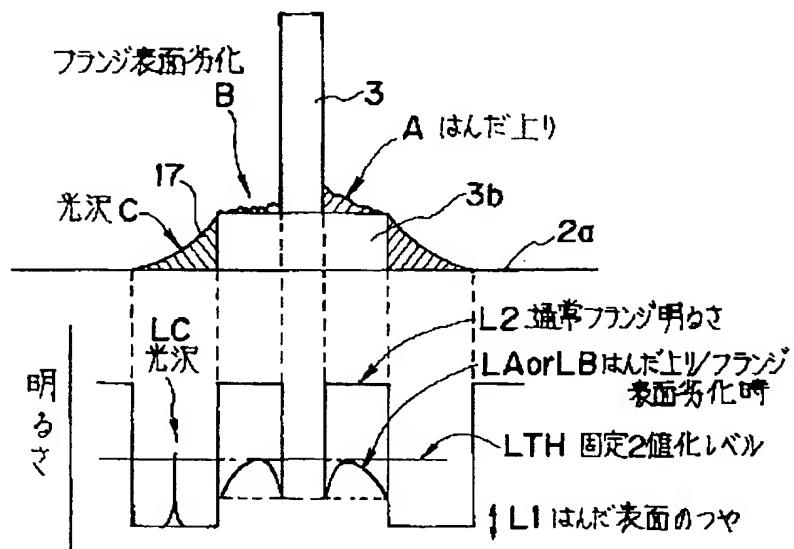
[Drawing 10]

基板とI/O ピントの関係、及び半田付け状態の良否と  
2値化画像との関係を示す図

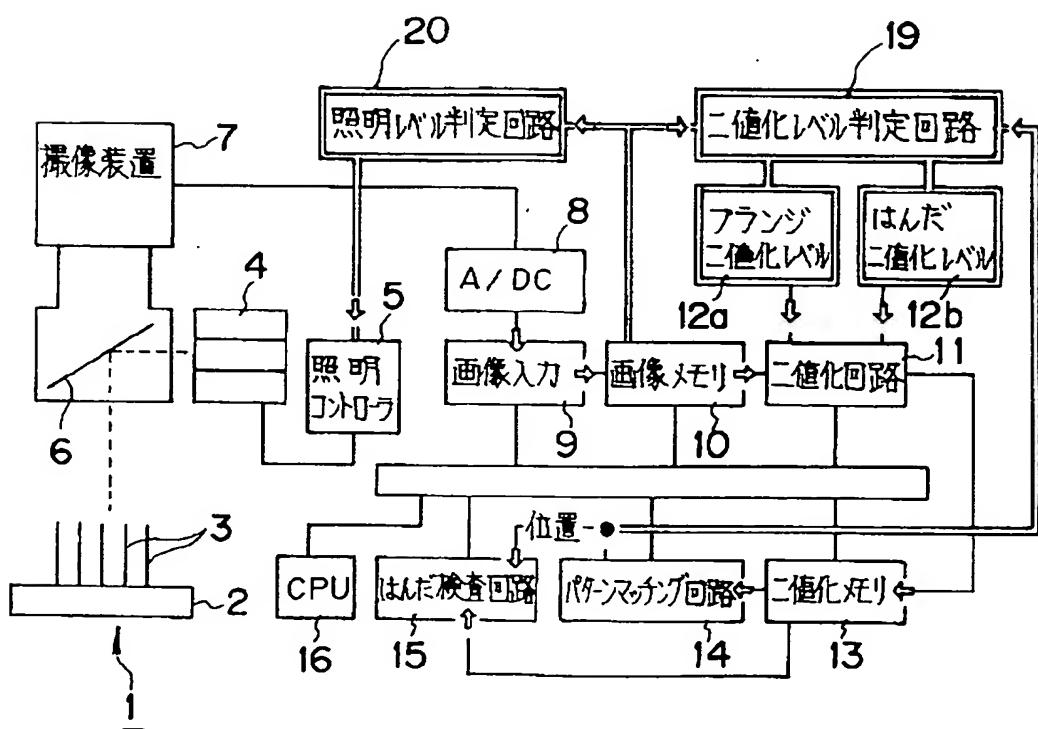


[Drawing 11]

検査対象各部の表面性状と明るさとの関係を  
従来技術の観点から示す説明図

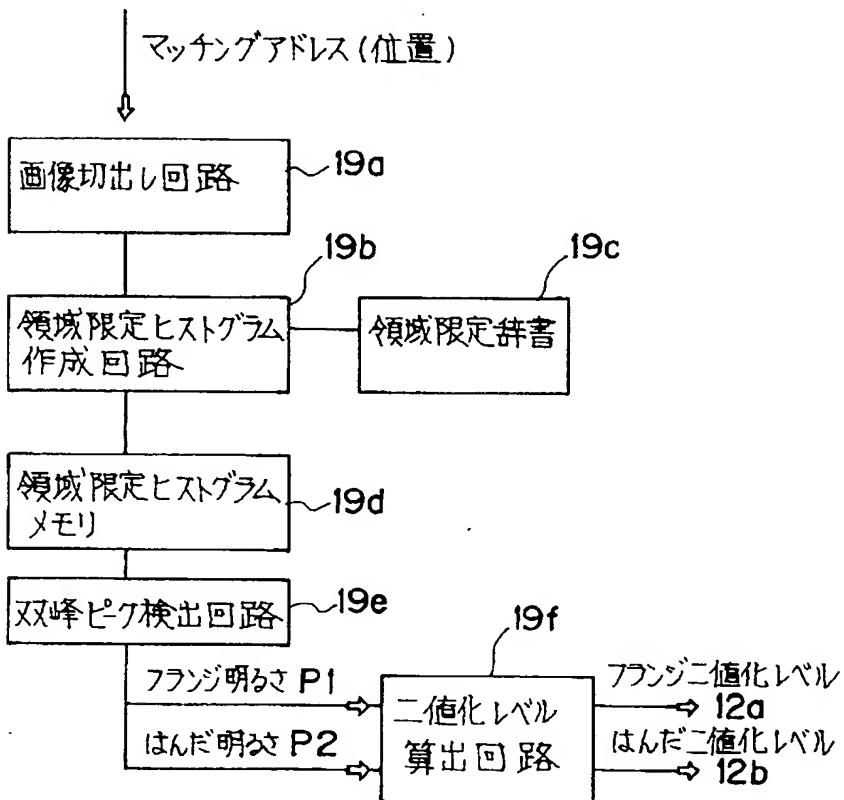


[Drawing 4]  
本発明の第2実施例のハードウェア構成を示すブロック図



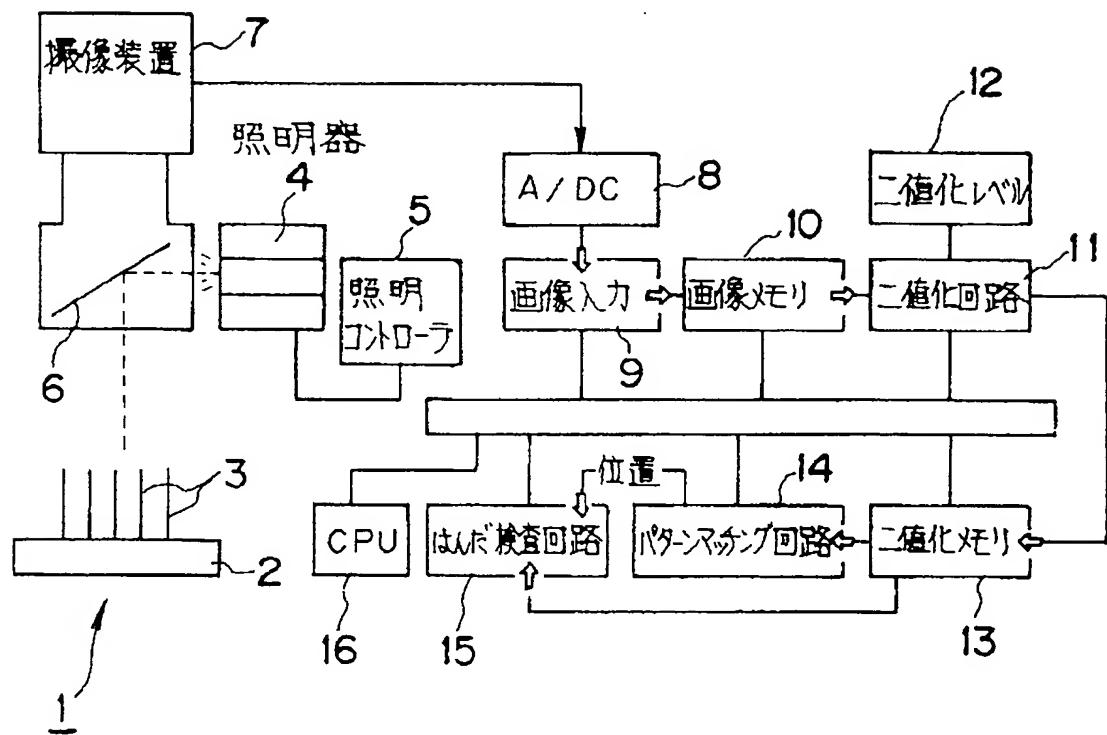
[Drawing 5]

2値化レベル判定回路の動作を示す説明図



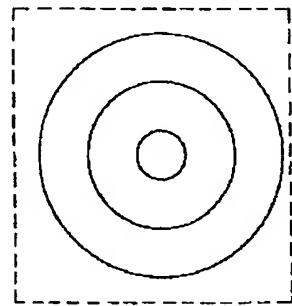
[Drawing 9]

従来装置のハードウェア構成を示すブロック図

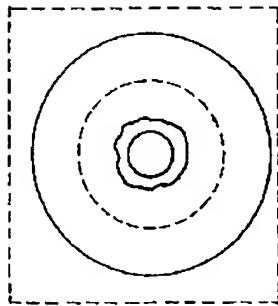


[Drawing 12]

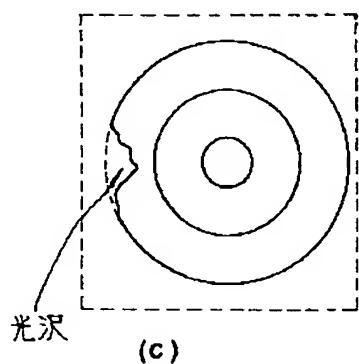
正常な場合、半田上がりの場合及び半田部に光沢がある場合の2値化画像をそれぞれ示す説明図



(a) 正常



(b) はんだ上り



(c)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-58729

(43)公開日 平成6年(1994)3月4日

| (51)Int.Cl. <sup>5</sup> | 識別記号  | 序内整理番号    | F I | 技術表示箇所 |
|--------------------------|-------|-----------|-----|--------|
| G 01 B 11/24             | C     | 9108-2F   |     |        |
| G 01 N 21/88             | F     | 8304-2J   |     |        |
| G 06 F 15/62             | 4 0 0 | A 9287-5L |     |        |
| 15/68                    | 3 2 0 | Z 9191-5L |     |        |
| H 05 K 3/34              | W     | 9154-4E   |     |        |

審査請求 未請求 請求項の数3(全11頁)

(21)出願番号 特願平4-215004

(22)出願日 平成4年(1992)8月12日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 肥塚 哲男

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 須藤 嘉規

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 安藤 誠俊

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 石川 泰男

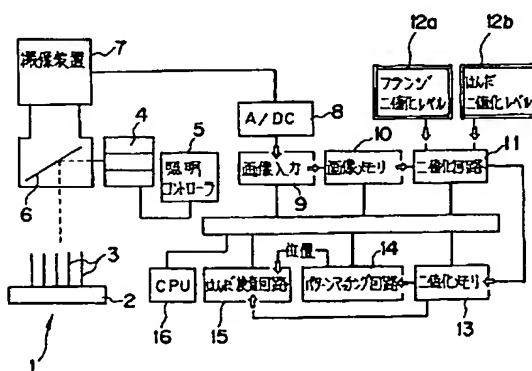
(54)【発明の名称】 半田付け状態検査装置

(57)【要約】

【目的】 フランジ部3 bの半田上がり状態Aや表面劣化状態B、或いは半田表面の光沢部Cの発生、さらには使用する半田の材質や、半田付け時の温度等の影響に拘らず、常に半田付け状態の良否を正確に判定することができる半田付け状態検査装置を提供する。

【構成】 I/Oピン3を有する基板2は照明器4で照らされ、撮像装置7で多階調画像データが生成される。このデータはフランジ2値化レベル12aと半田2値化レベル12bとで別々に2値化され、前者の2値化データによりピンの位置検出のためのパターンマッチング14が、また後者の2値化データにより半田部に相当する暗部領域の特定13が行われ、両者を用いて最終的に半田付け状態の検査が行われる15。

本発明の第1実施例のハードウェア構成を示すブロック図



## 【特許請求の範囲】

【請求項1】 基板(2)等の平坦な被接着面上に、水平な上面と垂直な側面とを有する実装部品(3b)を載せ、前記被接着面と部品側面との間の隅部を半田付け

(17)する半田付け工程における半田付け状態検査装置であって、前記被接着面に対して略垂直上方より前記実装部品及び半田付け部を含む所定領域を照明する照明手段(4)と、前記照明された前記実装部品及び半田付け部を含む所定領域を撮影して多階調画像データを生成する撮像手段(7)と、前記多階調画像データを2値化して得られた2値化画像データに基いて当該画面上における前記実装部品の位置情報を生成する部品位置情報生成手段(14)と、前記多階調画像データを2値化することにより当該画面の中で半田付け部相当の暗部領域を特定する暗部領域特定手段(13)と、前記特定された暗部領域と前記生成された部品位置情報とを所定のアルゴリズムに当て嵌めることにより半田付け状態の良否を判定する半田付け状態判定手段(15)とを備えるものにおいて、

前記部品位置特定用の2値化レベル(12a)と前記暗部領域特定用の2値化レベル(12b)とを別個に設定することを特徴とする半田付け状態検査装置。

【請求項2】 前記2値化レベルの設定は、当該画面中において半田付け箇所に相当する予定領域について、前記多階調画像データから輝度分布を示すヒストグラムを作成し、そのピーク値相当の輝度から幾分ずらせた値に自動設定される(19)ことを特徴とする請求項1に記載の半田付け状態検査装置。

【請求項3】 前記照明手段の光量は、当該画面上における前記被接着面領域上の特定位置の輝度が常に一定となるように自動制御される(20)ことを特徴とする請求項1に記載の半田付け状態検査装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、プリント基板のI/Oピン半田付け箇所の検査等に好適な半田付け状態検査装置に関する。

【0002】 最近の高密度実装に適用されるプリント基板の中には、多数のI/Oピンを基板面に対して直立状態で高密度に配置固定したものが知られている。このI/Oピンの固定は、基板上に高密度に配置された1mm角程度の正方形状パッドとその上に載せられるI/Oピンのフランジ部との間を半田付けすることにより行われる。

【0003】 このI/Oピンの半田付け工程にあっては、半田の載り状態の良否、半田の位置決め状態の良否等により不良接着箇所が発生する場合があるが、これを回路動作的に検査することは殆ど不可能であり、そのため画像処理技術を利用してこの種の検査を自動的に行う技術が要望されている。

## 【0004】

【従来の技術】 従来、プリント基板のI/Oピン半田付け箇所の検査に用いられている半田付け状態検査装置の一例を図9に示す。

【0005】 同図において、1はプリント基板2上に多数のI/Oピン3を直立状態で高密度に配置固定してなる検査対象、4はハーフミラー6で反射させて検査対象を真上から照明する照明器、5は照明器4の明るさを調整する照明コントローラ、7はハーフミラー6を透過させて検査対象1をその真上から撮影して多階調アナログ画像データを生成する撮影装置、8は多階調アナログ画像データをA/D変換して多階調デジタル画像データを生成するA/Dコンバータ、9は多階調デジタル画像データを入力するための画像入力回路、10は多階調デジタル画像データを記憶するための画像メモリ、11は所定の2値化レベル12を基準として前記多階調デジタル画像データを2値化する2値化回路、13は2値化画像データを記憶するための2値化メモリ、14は所定の辞書パターンを用いてパターンマッチングにより画面内におけるI/Oピンの位置を示す情報を生成するパターンマッチング回路、15は前記2値化処理により特定された暗部領域と前記生成されたI/Oピンの位置情報を所定のアルゴリズムに当て嵌めることにより半田付け状態の良否を判定する半田検査回路、16は以上の画像入力処理、2値化処理、パターンマッチング処理及び半田検査処理を統括制御するCPUである。

【0006】 プリント基板2上のI/Oピン3の半田付け状態とその2値化画像との関係を図10に示す。同図(a)に示されるように、プリント基板2上には多数のI/Oピン3が直立状態で高密度に配置固定されている。同図(b)に示されるように、I/Oピン3はその先端には尖鋭部3aが形成されると共に、その基端にはディスク状フランジ部3bが形成されている。一方、プリント基板2上には、略1mm角程度の微小な正方形状パッド2aが多数高密度に配置されている。そして、I/Oピン3はこのパッド2a上にフランジ部3bを接するようにして直立状態で位置決めされ、I/Oピン3の垂直な周側面と基板2上の垂直なパッド面との隅部を半田17により半田付けすることにより固定されている。このようなI/Oピン3及びそのフランジ部3b周辺を真上から照明すると、パッド2aの上面及びフランジ部3bの上面は反射光量が大きいのに対し、半田付け部である半田17の表面は反射光量が小さいため、これを真上から撮影して得られた多階調画像データを適当な2値化レベルにて2値化すれば、同図(c)に示されるように、半田の載り状態に対応したリング状暗部を有する2値化画像データを得ることができる。従って、基準となるリング状パターンを辞書から読み出してこれと2値化画像データとのパターンマッチングを行って画面内のピクセル位置を特定し、その後所定のアルゴリズムに従って前

記暗部領域の形状等を評価することにより、半田付け状態の良否を検査することができる。

【0007】ここで、検査用アルゴリズムとしては種々のものが考えられる。従来より用いられているものとしては、半田付け部分に相当する領域を想定して、その内部において暗部と明部との割合を求め、これが所定値内に収まるかに基いて半田付け状態の良否を判定するものである。他方、本出願人は平成3年9月18日付けをもって整理番号9109102により新規な検査用アルゴリズムを出願している。このアルゴリズムでは、画面内のリング状暗部に対して放射上に何本かの測長線を想定し、これとリング状暗部との交差部分の長さ（すなわち、その部分のリング幅）を測定することにより、半田付け状態の良否を判定するものである。この新規なアルゴリズムによれば、演算量の減少により従来方法に比べ検査時間を大幅に短縮することができる。

【0008】

【発明が解決しようとする課題】従来の半田付け状態検査装置における問題点を図11及び図12を参照しながら説明する。前述のように、検査対象であるプリント基板に対する照明はその真上から行われるため、通常の場合には、フランジ部3bの表面及びパッド2aの表面は明るく（レベルL2）、傾斜した半田17の表面は暗く（レベルL1）なる。そのため、このようにして得られた多階調画像データを図11に示される固定2値化レベル（LTH）で2値化すれば、図12（a）に示されるような2値化画像データを得ることができ、かかる2値化画像データによればリング状辞書パターンとのパターンマッチング及び所定のアルゴリズムを用いた半田検査を正常に行うことができる。

【0009】ところが、図11に示されるように、半田付け工程においてフランジ部3bの上面にまで半田が載ってしまった半田上がり状態Aやフランジ部3bの表面が錆びる等したフランジ表面劣化状態Bが生ずると、これに対応してその部分の明るさはLA（又はLB）にまで低下してしまい、これを前述の固定2値化レベル（LTH）にて2値化した場合、図12（b）に示されるように、2値化画像データ上には極めて幅の広いリング状暗部が生じ、前述のリング状辞書パターンを用いたパターンマッチングが正常に行えず（リングの内周縁部の輪郭が正確にでないため）、ひいては画面内における1/Oビン3の位置を特定できないと言う事態が生ずる。

【0010】また、図11に示されるように、半田17の表面に光沢部Cが生ずると、これに対応してその部分の明るさはLCにまで局部的に上昇してしまい、これを前述の固定2値化レベル（LTH）にて2値化した場合、図12（c）に示されるように、2値化画像データ上にはその一部が切り欠けたリング状暗部が生じ、所定のアルゴリズムによる半田検査の際に半田欠陥と誤判断される虞が生ずる。

【0011】さらに、半田の表面は、使用する半田の材質や、半田付け時の温度等の影響で表面の艶が変化し、対象基板のロットにより明るさレベルが異なる。この発明は上述の問題点を解決するためになされたものであり、その目的とするところは、前述したフランジ部3bの半田上がり状態Aや表面劣化状態B、或いは前述した半田表面の光沢部Cの発生、さらには使用する半田の材質や、半田付け時の温度等の影響を拘らず、常に半田付け状態の良否を正確に判定することができる半田付け状態検査装置を提供することにある。

【0012】

【課題を解決するための手段】この出願の請求項1の発明では、上記の目的を達成するために、基板等の平坦な被接着面上に、水平な上面と垂直な側面とを有する実装部品を載せ、前記被接着面と部品側面との間の隅部を半田付けする半田付け工程における半田付け状態検査装置であって、前記被接着面に対して略垂直上方より前記実装部品及び半田付け部を含む所定領域を照明する照明手段と、前記照明された前記実装部品及び半田付け部を含む所定領域を撮影して多階調画像データを生成する撮像手段と、前記多階調画像データを2値化して得られた2値化画像データに基いて当該画面上における前記実装部品の位置情報を生成する部品位置情報生成手段と、前記多階調画像データを2値化することにより当該画面の中で半田付け部相当の暗部領域を特定する暗部領域特定手段と、前記特定された暗部領域と前記生成された部品位置情報を所定のアルゴリズムに当て嵌めることにより半田付け状態の良否を判定する半田付け状態判定手段とを備えるものにおいて、前記部品位置特定用の2値化レベルと前記暗部領域特定用の2値化レベルとを別個に設定することを特徴とするものである。

【0013】また、この出願の請求項2の発明では、上記の目的を達成するために、請求項1において、前記2値化レベルの設定は、当該画面中において半田付け箇所に相当する予定領域について、前記多階調画像データから輝度分布を示すヒストグラムを作成し、そのピーク値相当の輝度から幾分ずらせた値に自動設定されることを特徴とするものである。

【0014】さらに、この出願の請求項3の発明は、上記の目的を達成するために、請求項1において、前記照明手段の光量は、当該画面上における前記被接着面領域上の特定位置の輝度が常に一定となるように自動制御されることを特徴とするものである。

【0015】

【作用】請求項1の発明によれば、前記部品位置特定用の2値化レベルと前記暗部領域特定用の2値化レベルとを別個に設定することから、前述したフランジ部3bの半田上がり状態Aや表面劣化状態B、或いは前述した半田表面の光沢部Cの発生にも拘らず、半田付け状態の良否を常に正確に判定することができる。

【0016】請求項2の発明によれば、請求項1の作用に加えて、使用する半田の材質や、半田付け時の温度等の影響に拘らず、常に最適な2値化レベルを自動設定することにより、半田付け状態の良否を正確に判定することができる。

【0017】請求項3の発明によれば、請求項1の作用に加えて、使用する半田の材質や半田付け時の温度等の影響に伴う検査対象の表面性状の変化を照明光量の調整により補償することにより、半田付け状態の良否を正確に判定することができる。

【0018】

【実施例】本発明の第1の実施例を図1～図3を参照して説明する。第1実施例にかかる半田付け状態検査装置のハードウェア構成を図1に示す。尚、同図において、前記図9に示す従来例と同一構成部については同符号を付して説明は省略する。

【0019】この実施例と図9に示す従来例との相違点は、画像メモリ10に記憶された多階調デジタル画像データを2値化回路11にて2値化する際における2値化レベルとして、フランジ2値化レベル(LTH1)と半田2値化レベル(LTH2)とからなる2種類の2値化レベルが用意されている点にある。

【0020】これらの2値化レベルLTH1, LTH2と各部の明るさとの関係を図2に示す。同図に示されるように、フランジ2値化レベルLTH1の値は通常の半田表面レベルL1とフランジ部3bに載った半田表面レベルL1Aとの間に設定されている。

【0021】そのため、このフランジ2値化レベルLTH1を用いて前述の多階調デジタル画像データを2値化処理すると、得られた2値化画像には、図3(a)に示されるように、その内周縁部の輪郭が1/0ビン3のフランジ部3bの外形に対応し、かつその外周縁部の輪郭が半田部領域17の外周縁部に対応するリング状暗部が浮かび上がる。

【0022】従って、このフランジ2値化レベルLTH1を用いて得られた2値化画像によれば、辞書メモリから読み出されたリング状パターン(その内径がフランジ部3bの外径に一致する)を用いたパターンマッチングにより、画面内における1/0ビン3の位置を正確に特定することができ、これにより半田検査領域を1/0ビンの周囲に正確に限定することができる。

【0023】一方、図2に示されるように、半田2値化レベルLTH2の値は通常のフランジ表面レベルL2と光沢部に対応するレベルL1Cとの間に設定されている。そのため、この半田2値化レベルを用いて前述の多階調デジタル画像データを2値化処理すると、得られた2値化画像には、図3(b)に示されるように、光沢部に対応する切り欠けの含まれない円形暗部が浮かび上がる。

【0024】従って、この半田2値化レベルLTH2を

用いて得られた2値化画像の円形暗部領域(図3b)の中で、前記パターンマッチング用2値化画像(3図a)から特定されたフランジ周辺領域について、所定のアルゴリズムにより半田の有無や量を検査すれば、前述したフランジ部3bの半田上がり状態Aや表面劣化状態B、或いは前述した半田表面の光沢部Cの発生にも拘らず、半田付け状態の良否を常に正確に判定することができる。

【0025】次に、本発明の第2の実施例を図4～図8を参照しながら説明する。第2実施例にかかる半田付け状態検査装置のハードウェア構成を図4に示す。尚、同図において、前記図1に示す第1実施例と同一構成部については同符号を付して説明は省略する。

【0026】この第2実施例と前述の第1実施例との相違点は、フランジ2値化レベル12a及び半田2値化レベル12bが2値化レベル判定回路19の作用により自動設定される点、及び検査対象1の明るさが照明レベル判定回路20の作用により常に一定となる点にある。

【0027】2値化レベル判定回路19の作用を図5～図7を参照しながら説明する。図5において、画像切り出し回路19aは、画像メモリ10に記憶された多階調デジタル画像データの中から適当な大きさの画像領域24を切り出す。次いで、領域限定ヒストグラム作成回路19bでは、領域限定辞書19cからの領域限定情報に基づき図7に示されるように、フランジ外周縁部の輪郭を挟んでその内周側と外周側とにそれぞれリング状限定領域22, 23を設定し、この領域について図6に示されるようにヒストグラムを作成し、作成されたヒストグラムは領域限定ヒストグラムメモリ19eに記憶される。次いで、双峰ピーク検出回路19eでは、メモリ19eに記憶されたヒストグラムに基いて、図6に示される2つのピーク値P1, P2を検出し、これらのピーク値を2値化レベル算出回路19fへと送出する。2値化レベル算出回路19fでは、得られたピーク値P1, P2から幾分ずらすようにしてフランジ2値化レベル12a及び半田2値化レベル12bを算出し、これを2値化回路11へと送出する。

【0028】一方、図8に示されるように、検査対象となるプリンと基板2の角部には新たに照明レベル判定用バッド25が配置されており、このバッド25部分の明るさは、常時、画像メモリ10に記憶された多階調デジタル画像データの値を通じて検出されている。そして、照明レベル判定回路20ではこの検出された判定用バッド25の明るさが常に一定となるように、照明コントローラ5を介して照明器4の輝度を制御するようになっている。

【0029】以上の第2実施例によれば、使用する半田の材質や半田付け時の温度等の影響に伴う検査対象の表面性状の変化を照明光量の調整により補償しつつ、常に最適な2値化レベルを自動設定することにより、半田付

け状態の良否を正確に判定することができる。

【0030】なお、本発明は、以上の実施例に限られること無く、基板等の平坦な被接着面上に、水平な上面と垂直な側面とを有する実装部品を載せ、前記被接着面と部品側面との間の隅部を半田付けする半田付け工程に広く適用できることは勿論である。

【0031】

【発明の効果】以上の説明で明らかなように、この出願の請求項1の発明によれば、部品位置特定用の2値化レベルと暗部領域特定用の2値化レベルとを別個に設定することから、前述したフランジ部3bの半田上がり状態Aや表面劣化状態B、或いは前述した半田表面の光沢部Cの発生にも拘らず、半田付け状態の良否を常に正確に判定することができる。

【0032】請求項2の発明によれば、請求項1の効果に加えて、使用する半田の材質や、半田付け時の温度等の影響に拘らず、常に最適な2値化レベルを自動設定することにより、半田付け状態の良否を正確に判定することができる。

【0033】請求項3の発明によれば、請求項1の効果に加えて、使用する半田の材質や半田付け時の温度等の影響に伴う検査対象の表面性状の変化を照明光量の調整により補償することにより、半田付け状態の良否を正確に判定することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例のハードウェア構成を示すブロック図である。

【図2】検査対象の各部の表面性状と明るさとの関係を示す説明図である。

【図3】パターンマッチング用2値化画像と半田検査用2値化画像を示す図である。

【図4】本発明の第2実施例のハードウェア構成を示す\*

\* ブロック図である。

【図5】2値化レベル判定回路の動作を示す説明図である。

【図6】2値化レベル判定用ヒストグラムの内容を示す図である。

【図7】領域限定辞書から得られるヒストグラム作成用限定領域を示す図である。

【図8】基板上に設けられた照明レベル判定用パッドを示す図である。

【図9】従来装置のハードウェア構成を示す図である。

【図10】基板とI/Oビントの関係、及び半田付け状態の良否と2値化画像との関係を示す図である。

【図11】検査対象各部の表面性状と明るさとの関係を従来技術の問題点の観点から示す説明図である。

【図12】正常な場合、半田上がりの場合及び半田部に光沢がある場合の2値化画像をそれぞれ示す説明図である。

【符号の説明】

1…検査対象

2…プリント基板

3…I/Oビン

4…照明器

7…撮像装置

10…画像メモリ

11…2値化回路

12a…フランジ2値化レベル

12b…半田2値化レベル

13…2値化メモリ

14…パターンマッチング回路

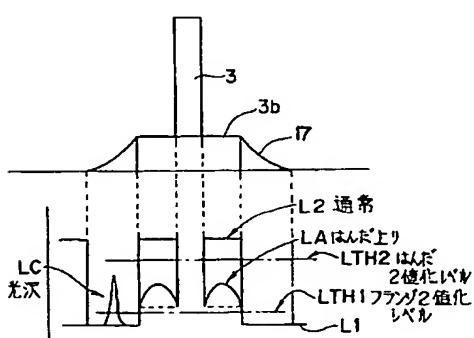
15…半田検査回路

19…2値化レベル判定回路

20…照明レベル判定回路

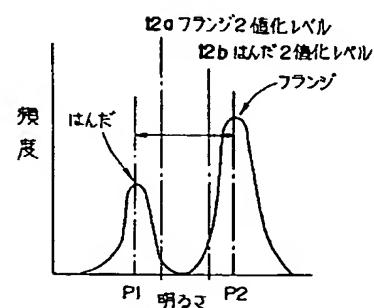
【図2】

検査対象の各部の表面性状と明るさとの関係を示す説明図



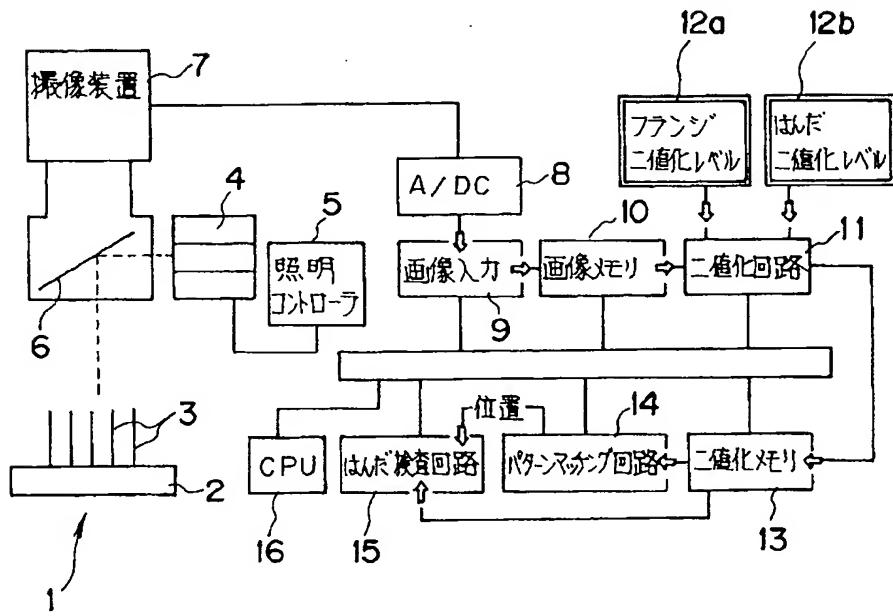
【図6】

2値化レベル判定用ヒストグラムの内容を示す図



【図1】

本発明の第1実施例のハードウェア構成を示すブロック図

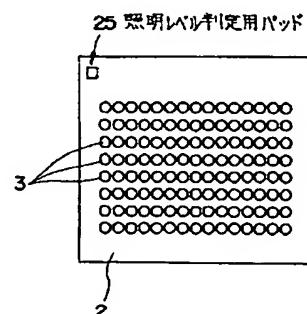
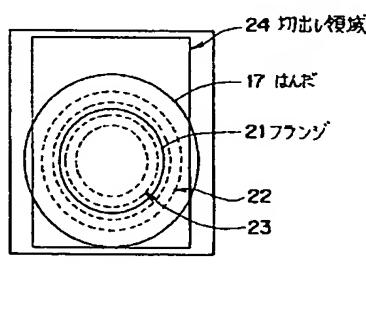


【図7】

領域限定期書から得られるヒストグラム作成用限定期を示す図

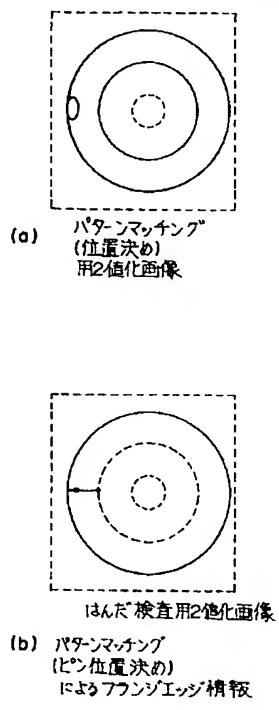
【図8】

基板上に設けられた照明レベル判定用パッドを示す図



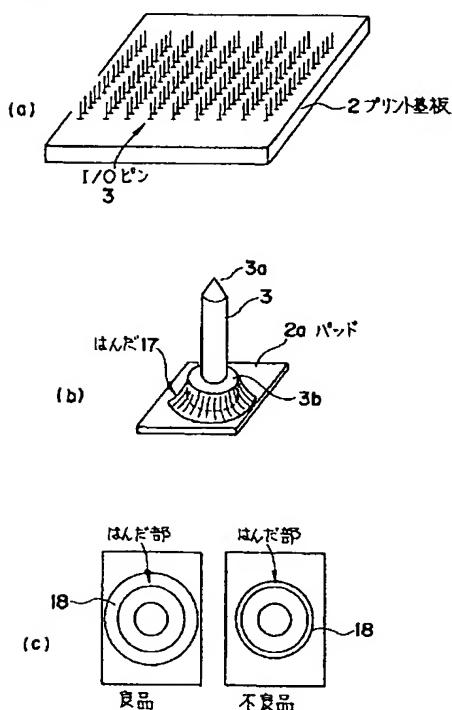
【図3】

パターンマッチング用2値化画像と半田検査用2値化画像を示す図

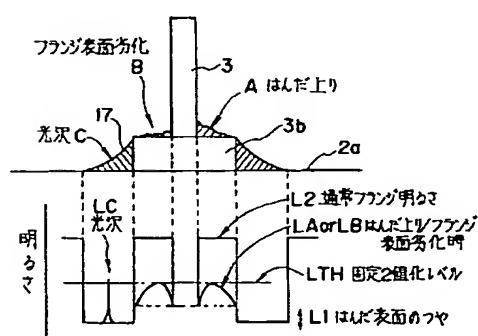


【図10】

基板とI/Oピンの関係、及び半田付け状態の良否と2値化画像との関係を示す図

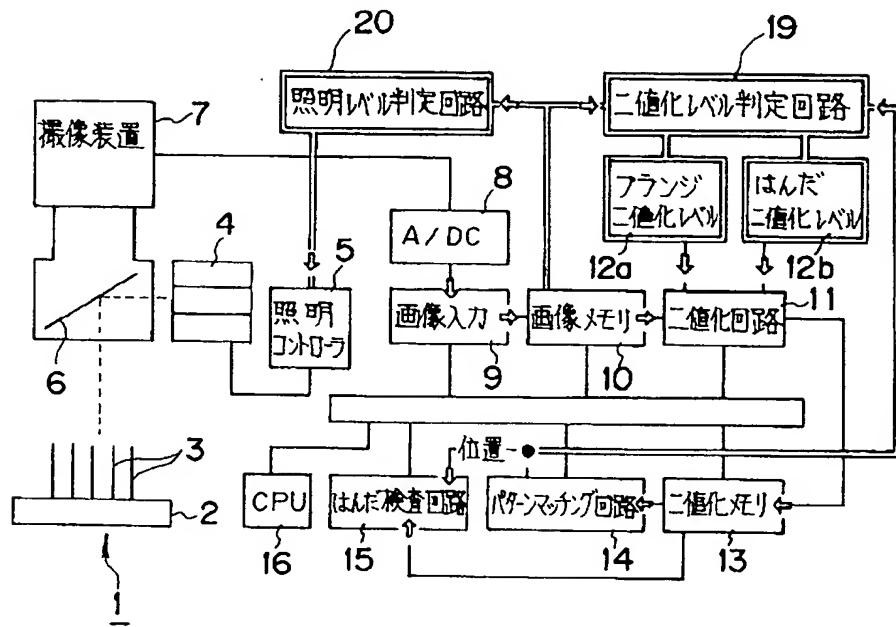


【図11】

検査対象各部の表面性状と明るさとの関係を  
従来技術の観点から示す説明図

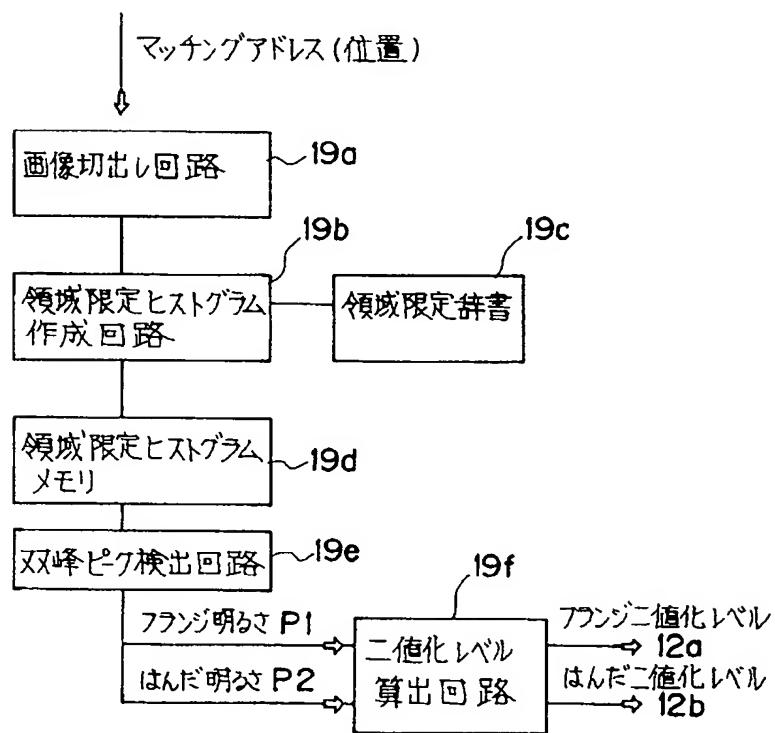
[図4]

本発明の第2実施例のハードウェア構成を示すブロック図



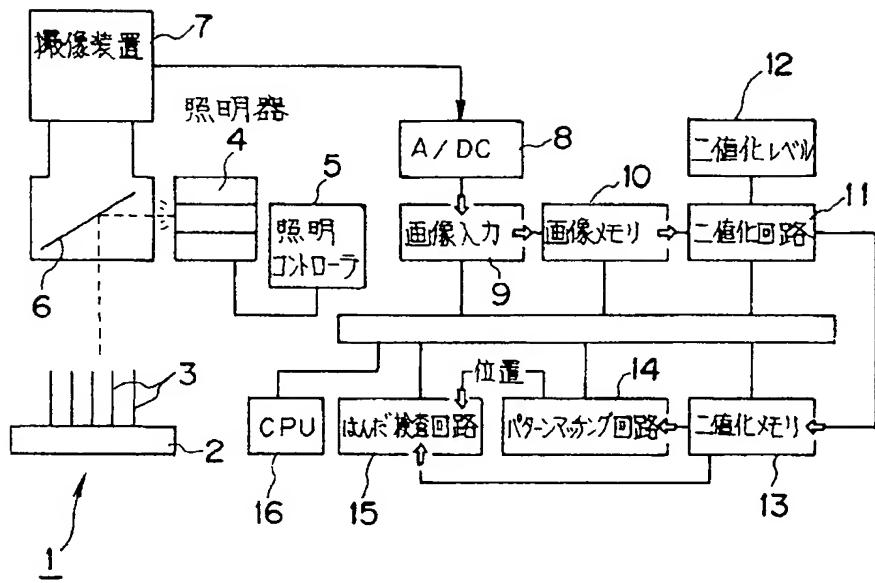
[図5]

## 2値化レベル判定回路の動作を示す説明図



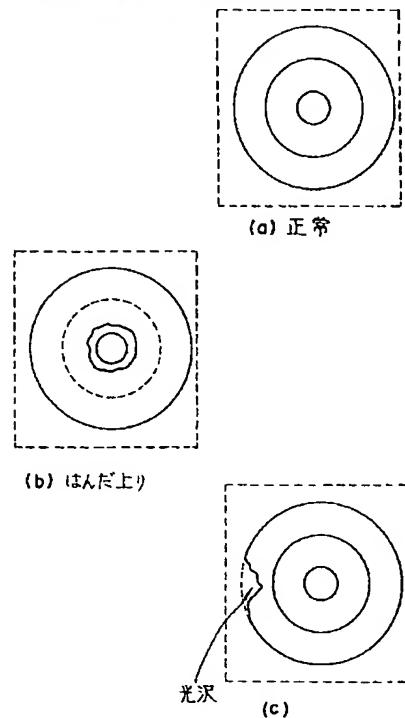
【図9】

従来装置のハードウェア構成を示すブロック図



【図12】

正常な場合、半田上がりの場合及び半田部に光沢がある場合の2値化画像をそれぞれ示す説明図



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**